

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-181916

(43)Date of publication of application : 21.07.1995

(51)Int.Cl.

G09G 3/30

(21)Application number : 05-345611

(71)Applicant : FUTABA CORP

(22)Date of filing : 22.12.1993

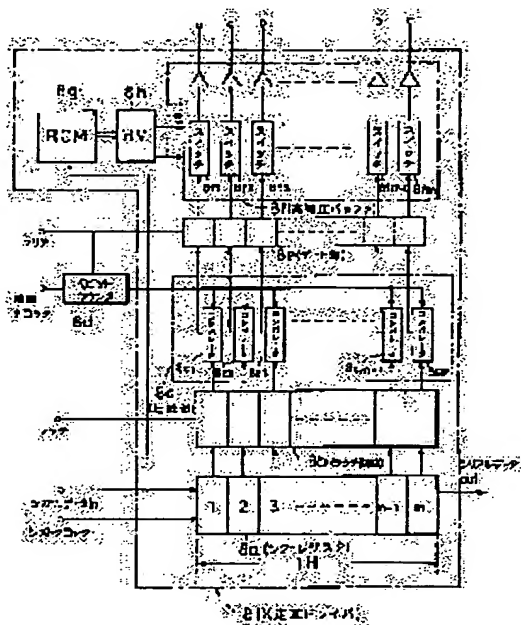
(72)Inventor : TANAKA MITSURU

## (54) DRIVING CIRCUIT OF DISPLAY DEVICE

### (57)Abstract:

PURPOSE: To obtain a wider dynamic range with a small number of gradations.

CONSTITUTION: The driving circuit of display device is equipped with a shift register 8a and a latch circuit 8b which convert K bits of M-bit ( $M=K+L$ ) pixel data inputted as digital data of a serial signal into a parallel signal by horizontal lines, a comparison part 8c and a gate part 8e which impose pulse-width-modulate the image data converted into the parallel signal, a ROM 8g which stores correction data corresponding to the value of L bits of the pixel data, a high voltage selection part 8h which selects and outputs a voltage value for the pulse amplitude modulation according to the correction data in the ROM 8g, and a high-voltage buffer 8f which imposes pulse-amplitude-modulates the pulse-width-modulated pixel data with the voltage value selected by the high voltage selection part 8h.



## LEGAL STATUS

[Date of request for examination] 22.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-181916

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/30

識別記号

3 0 1

片内整理番号

9378-5G

F I

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 9 頁)

(21) 出願番号 特願平5-345611

(22) 出願日 平成5年(1993)12月22日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 田中 満

千葉県茂原市大芝629 双葉電子工業株式  
会社内

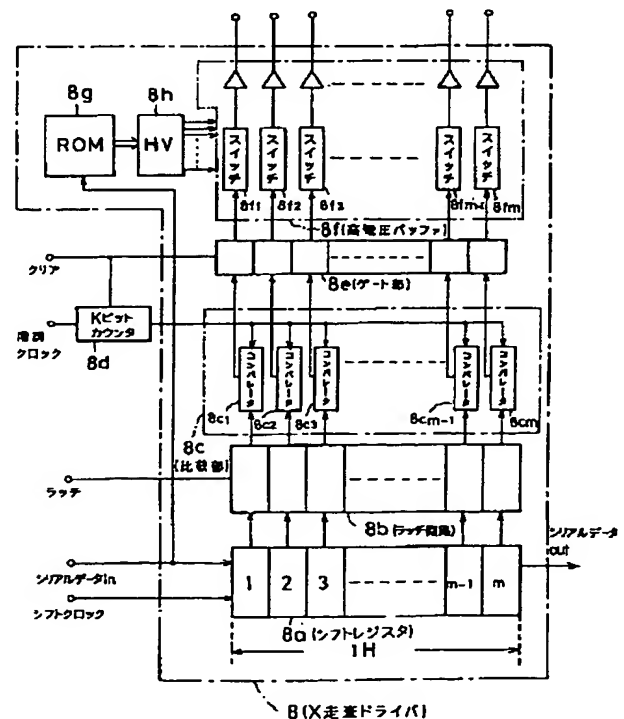
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【目的】、少ない階調数でより広いダイナミックレンジを実現する。

【構成】 シリアル信号のデジタルデータで入力されるMビット ( $M=K+L$ ) の画素データのKビットを1水平ライン毎に平行信号に変換するシフトレジスタ8a及びラッチ回路8bと、平行信号に変換された前記画像データをパルス幅変調する比較部8c及びゲート部8eと、前記画素データのLビットの値に対応した補正データが記憶されるROM8gと、ROM8gの補正データにしたがいパルス振幅変調を行なう電圧値を選択して出力する高電圧選択部8hと、パルス幅変調された前記画像データを高電圧選択部8hで選択された電圧値でパルス振幅変調する高電圧バッファ8fを備え表示装置の駆動回路を構成する。



## 【特許請求の範囲】

【請求項 1】 画像データとして入力される M ビット ( $M=K+L$ ) の画素データから K ビットをパルス幅変調するパルス幅変調手段と、

表示装置の発光特性を補正するために前記画像データの L ビットの値に対応した電圧値を選択して出力する電圧選択手段と、

前記パルス幅変調手段でパルス幅変調されたパルス信号を前記電圧選択手段で選択された電圧値でパルス振幅変調するパルス振幅変調手段とを備え、

前記パルス振幅変調手段より出力される信号で電界放出素子を制御して画像を表示することを特徴とする表示装置の駆動回路。

【請求項 2】 前記パルス幅変調された信号は電界放出素子のゲート電極に加えるようにしたことを特徴とする請求項 1 に記載の表示装置の駆動回路。

【請求項 3】 電圧選択手段は A/D 変換器によって構成されていることを特徴とする請求項 1 又は 2 に記載の表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えばテレビジョン受像機、パーソナルコンピュータ、医療機器、計測器、POS (Point Of Sales) システム等の情報端末の表示装置に用いられる電界放出型の発光素子の駆動回路に関するものである。

## 【0002】

【従来の技術】 平面状とされ面放出型の電界放出型カソード (FEC) により構築される電界放出型ディスプレイ (FED・・・Field Emission Display) のアドレス 30 シング方法は、電界放出素子のエミッタとゲート電極をマトリクス状に配線した X-Y マトリクス構造で、一般的な順次走査が行なわれる。

【0003】 図 6 (a) (b) に、その一例であるスピント (Spindt) 型と呼ばれる FEC を示す。この図の (a) は半導体加工技術を用いて作成した FEC の斜視図であり、(b) は (a) 図に示す A-A の線で切断した FEC の断面を示す図である。これらの図において、基板上にアルミニウム等の金属で形成されたカソード電極が設けられており、このカソード電極上にコーン 40 状のエミッタが形成されている。カソード電極上にはさらに、 $S_iO_2$  膜を介してゲート電極が設けられており、ゲート電極にけられた開穴の中に上記エミッタが位置するようにしている。すなわち、このコーン状のエミッタの先端部分がゲート電極にけられた穴から臨んでいる。

【0004】 このコーン状のエミッタ間のピッチは 10 ミクロン以下とすることが出来るため、数万から数 10 万個の FEC を 1 枚の基板上に設けることが出来る。さらに、ゲート電極とエミッタのコーンの先端との距離を 50

サブミクロンとすることが出来るため、ゲート電極とカソード電極との間にわずかに数 10 ボルトの電圧を印加することにより、電子をエミッタから電界放出することが出来る。そして、この FEC は図に示されているように平面状となっているため、面放出型の電界放出カソードとすることが出来、このような面放出型の電界放出カソードを利用して FED を構築することができる。

【0005】 図 7 はこのような FED の構成を示す斜視図である。この FED において、21 は真空容器中に配置されている第 1 の基板を示し、この第 1 の基板 21 上にストライプ状に形成された  $y_1 \sim y_n$  は Y 電極としてのカソード電極を示している。このカソード電極  $y_1 \sim y_n$  に対しては、後述するドライブパルスが供給されるカソード端子 CT1～CTn が接続されている。

【0006】 また、 $x_1 \sim x_m$  は X 電極としてのゲート電極を示し、カソード電極  $y_1 \sim y_n$  の上に絶縁体を介して、カソード電極  $y_1 \sim y_n$  と直交するようストライプ状に形成されている。そして、ゲート電極  $x_1 \sim x_m$  にはドライブパルスが供給されるゲート端子 G1～Gm が接続される。22 は各ゲート電極  $x_1 \sim x_m$  に形成されている穴であり、カソード電極  $y_1 \sim y_n$  の上に形成されたコーン状のエミッタ (図 6 参照) から放出される電子が通過するために形成されるものである。

【0007】 また、23 は第 1 の基板 21 に対向して真空容器中に配置される第 2 の基板を示している。そして、この第 2 の基板 23 に形成されている 24、24・・・はアノード電極であり、図のようにゲート電極  $x_1 \sim x_m$  の位置に対応してストライプ状に配されている。また、それぞれのアノード電極 24 にはアノード引き出し電極 A が接続されている。なお、カラーディスプレイの場合はこのアノード引き出し電極 A は R、G、B の 3 原色に対応して 3 本引き出されることとなる。25 は蛍光体でありアノード電極 24 においてゲート電極  $x_1 \sim x_m$  と対向する側の面に設けられ、電子が衝突することによって励起される。

【0008】 そこで、この FED により画像表示を行うための駆動方法の一例を概略的に説明する。第 2 の基板 23 に形成されたアノード電極 24 は、それぞれアノード引き出し電極 A によりほぼ一定の電圧が供給されている。一方、カソード電極 (Y 電極)  $y_1 \sim y_n$  はそれぞれのカソード端子 CT1～CTn に走査パルスが供給されて走査されることにより、各ストライプ状のカソード電極が順次選択されて駆動される。

【0009】 そこで、アノード電極 24 を駆動するためにアノード引き出し電極 A に正のアノード電圧を印加した状態で、カソード端子 CT1～CTn を順次走査していく。この時、ゲート端子 G1～Gm には走査されるタイミングに応じて画像信号のデータに応じた電圧を印加すると、ゲート電極  $x_1 \sim x_m$  とカソード電極  $y_1 \sim y_n$  の交点にある FEC ブロックから放出される電子によっ

て、アノード電極24に設けられた蛍光体25の画素が走査され、この画素はゲート端子G1～Gmに印加された電圧に応じて発光制御されることとなり、このようにして画像の1画面（1フィールド）が表示される。

【0010】ところで、この画像表示に対して明暗あるいは濃淡の構成具合を調整する階調制御を行なう方法は、ゲート端子G1～Gmに印加される駆動パルスの印加時間を制御するPWM（パルス幅変調）駆動方式と、ゲート端子G1～Gmに印加される駆動パルスの電圧値を制御するPAM（パルス振幅変調）駆動方式がある。PWM駆動方式は、例えば図8（a）（b）（c）に示されているように駆動電圧の波形のパルス幅 $t_w$ を制御することにより階調が制御される。図9は階調数が例えば16である場合の光量を模式的に示す図であり、縦軸方向にパルス電圧値 $HV_{cc}$ 、横軸方向にパルス幅が示されている。Spは電圧値 $HV_{cc}$ と16段階のパルス幅0、 $1/15 t_w$ 、 $2/15 t_w$ 、・・・ $t_w$ により決まる光量を示す。

【0011】図8（a）に示されているパルス幅 $t_w$ は、例えば図9に示されている $1/15 t_w$ に相当し、（b）のようにパルス幅 $t_w$ が広がるにつれて、 $2/15 t_w$ 、 $3/15 t_w$ 、・・・ $14/15 t_w$ に示されているように光量Spも増加するようになり、（c）に示すパルス幅 $t_w$ では階調が最高輝度となる。

【0012】また、PAM駆動方式は、例えば図10（a）（b）（c）に示されているように電圧値 $HV_{cc}$ を制御することにより階調が制御される。図11は図9と同様に階調数が例えば16である場合の光量を模式的に示す図である。この図でSvは16段階の電圧値0、 $1/15 HV_{cc}$ 、 $2/15 HV_{cc}$ 、・・・ $HV_{cc}$ とパルス幅 $t_w$ により決まる光量を示す。図10

（a）に示されている電圧値 $HV_{cc}$ は、例えば図11に示されている $1/15 HV_{cc}$ に相当し、（b）のように電圧値 $HV_{cc}$ が上昇するにつれて、 $2/15 HV_{cc}$ 、 $3/15 HV_{cc}$ 、・・・ $14/15 HV_{cc}$ に示されているように光量Svも増加するようになり、

（c）に示されているように電圧値 $HV_{cc}$ では階調が最高輝度となる。

#### 【0013】

【発明が解決しようとする課題】ところで、図6に示したようなSpindt型FECは相互コンダクタンスが大きく、駆動電圧に対して放出される電子流が指数的に比例するために、素子特性のばらつき（素子の性能を示す指数でプロセスに依存する値の違い）により、同じ駆動電圧で駆動した場合でも各ドット毎に発光輝度が大きく異なり、画面の発光輝度の不均一が生じ正確な階調表現が困難になる場合がある。前記したPWM駆動方式による階調表示は高速スイッチングによる消費電力の増加が指摘されているが、輝度変調リニアリティが悪化することはない。一方、PAM駆動方式では、動作点がF

EC素子のI・V（I＝エミッション電流、V＝駆動電圧・・・カソード・エミッタ間の電位差）特性曲線上を移動するために、このFEC素子の特性が各ドット毎に同じにならなければ、輝度変調リニアリティが悪化するためにPWM駆動方式に比較して輝度の不均一が助長されやすいという問題がある。また、素子特性のばらつきを補正することは、予め測定した各ドットの輝度データに基づき画像データの補正計算を行ない実際の表示データとすることができるが、PWM駆動方式では発光輝度の低い表示データに合わせて補正しなければならず、補正により表示可能な階調数が減少して、ダイナミックレンジの低い画像となってしまふ。

【0014】さらに、ばらつき補正を行なう場合でも機種によりばらつき特性が異なり、それぞれの機種に対応して好適なばらつき補正を行なう場合は階調数を変更するなどの処置が必要であり、完全な補正を行なうことは困難であった。

#### 【0015】

【課題を解決するための手段】本発明はこのような問題を解決するためになされたもので、画像データとして入力されるMビット（ $M=K+L$ ）の画素データからKビットをパルス幅変調するパルス幅変調手段と、表示装置の発光特性を補正するために前記画像データのLビットの値に対応した補正データが記憶されるメモリと、該メモリの補正データに対応した電圧値を選択して出力する高電圧選択手段と、前記パルス幅変調手段でパルス幅変調されたパルス信号を前記高電圧選択手段で選択された電圧値でパルス振幅変調するパルス振幅変調手段とを備え、前記パルス振幅変調手段より出力される信号で電界放出素子を走査して画像を表示するようになされている。また、前記パルス幅変調された信号は電界放出素子のゲート電圧に加えられるようになされている。

#### 【0016】

【作用】階調駆動方法としてPAM駆動方式とPWM駆動方式を併用することにより、少ない階調数でより広いダイナミックレンジを実現することができる。特に振幅変調されたデータは、FECの特性のパラツキを補正するため使用することができる

#### 【0017】

【実施例】以下、図1乃至図5にしたがい本発明の電界放出素子の駆動回路の一実施例を説明する。まず、図1に上記FEDを採用したディスプレイ装置の構成を回路図として示す。この図において1はFEDであり図8に示したと同様の構成のFEDが用いられているものである。なお、この図ではアノード電極24（及び蛍光体25）とアノード引き出し電極Aは示されていないが、アノード電極24はゲート電極x1～xm上に配されているものとされ、アノード引き出し電極Aは後述するアノードドライバ9に対して接続されているものとされる。また便宜上、以後カソード電極y1～ynはY電極、ゲ

ート電極  $x_1 \sim x_m$  はX電極として名称を統一することにする。

【0018】2は画像データ信号が入力される画像入力端子を示す。3は画像入力回路であり、例えば画像入力端子2から供給された画像データ信号に基づいて画像表示の制御に必要なデータをCPU4に伝送すると共に、X走査ドライバ8とY走査ドライバ6を制御するための画像データをドライバコントローラ5に出力する等の動作をする。4は後述する画像表示走査に関する制御等の処理を行なうCPUである。5はドライバコントローラであり、画像入力回路3からの画像データやCPU4による制御タイミングに従い、Y走査ドライバ6の走査電圧の印加タイミングとX走査ドライバ8の画像データに応じた信号の印加タイミングをコントロールする。またこの場合にはアノードドライバ9の電圧印加タイミングをコントロールすることも行っている。

【0019】6はY走査ドライバを示し、上述のドライバコントローラ5の制御に従って所定のタイミングで各Y電極 ( $y_1 \sim y_n$ ) に対応するカソード端子CT1～CTnに走査電圧を出力する。

【0020】8はX走査ドライバであり、この場合にはドライバコントローラ5の制御に従って所定のタイミングで各X電極 ( $x_1 \sim x_m$ ) に対応するゲート端子G1～Gmに画像データに応じた電圧を出力する。

【0021】9はアノードドライバであり実際にはFED1のアノード引き出し電極Aと接続されている。そして、ドライバコントローラ5の制御に従って所定のタイミングでアノード電極24を駆動するための正のアノード電圧を出力するものである。なお、アノード電極をベータに構成するときは(白黒画像)、このアノードドライバを省略することもできる。

【0022】次に本実施例におけるPAM駆動方式とPWM駆動方式を併用した階調制御について説明する。図2は図1に示したX走査ドライバ8の構成を示す図である。この図で8aはシリアルデータとして入力される画素データを1水平ライン分記憶するシフトレジスタを示す。前記シリアルデータにおいて一画素分のデータ長のビット数をM ( $M=K+L$ ) ビットとすると、このシフトレジスタ8aにはPWM駆動用のKビットのデータが入力され、残りのLビットはPAM駆動用として後で説明する高電圧選択部8hに入力される。本実施例では例えば  $K=4$  ビット、 $L=2$  ビットとして説明する。

【0023】8bはラッチ回路を示し、上記Kビットの各画素データをシフトレジスタ8aによりシリアル/パラレル変換して1水平期間保持する。8cは複数のコンパレータ8c1、8c2、・・・8cmにより構成される比較部であり、ラッチ回路8bから入力される各画素データと階調クロックをカウントしているKビットのカウンタ8dの出力を比較し、計測値が一致したときコンパレータ8c (1,2,3,・・・m) より出力される信号がそれ

ぞれゲート部8eに供給される。

【0024】ゲート部8eはKビットカウンタ8dがクリアされたあと、前記一致信号が出力されるまでの時間をパルス幅とするゲート信号を形成し、このゲート信号を高電圧バッファ部8fに供給する。高電圧バッファ部8fは前記ゲート信号によってスイッチング制御される複数のバッファアンプ8f1、8f2、8f3・・・8fmを備え、このバッファアンプ8f (1,2,3,・・・m) の出力が各X電極にそれぞれ供給される。8gは高電圧バッファ部8fに供給される電圧値を設定するデータが格納されているROMテーブル (又はRAMテーブル) であって、例えば前記Lビットのデータで読み出されたROMテーブル8gで指定された値の電圧が高電圧選択部8hを介して前記高電圧バッファ部8fに供給される。なお、Lビットのデータを直接A/D変換器によって電圧値に変換するようにしてもよい。そして、高電圧選択部8hでは前記シリアルデータとして入力された画素データのLビットのデータによって出力される電圧値が選択され、高電圧バッファ部8fの各バッファアンプ8f (1,2,3,・・・m) の駆動電圧として供給されることとなる。

【0025】なお、高電圧選択部8h内にも、前記したシフトレジスタ8a、ラッチ回路8b、比較部8cに該当する回路を設けることによって、Lビットに対応する高電圧を選択し、水平方向に並ぶ各画素に対して補正すべき駆動電圧が与えられるようにしている。

【0026】以下、図3(a)～(h)に示した各クロック、出力データの波形を参照して上記した各機能回路の動作について説明する。1水平ラインの画像データは例えば6ビットで構成される1画素のうち4ビットがシリアルデータ(e)として、シフトクロック(c)によって順次シフトレジスタ8aに格納される。そして1水平ライン、例えば320画素分の画像データはラッチ信号によってパラレルデータとしてラッチ回路8bにラッチされる。そして、1水平ライン毎のパラレルデータとして比較部8cに出力されるようになる。比較部8cではラッチ回路8bの出力データ(4ビット)とKビットカウンタ8dのカウント値の比較がなされる。Kビットカウンタ8dはクリアクロック(a)の立ち上がりにより初期化された後にカウントアップされ、カウントデータの値とラッチ回路8bの出力データの値が一致したときにコンパレータ8c1、8c2、・・・8cmからゲート回路8eを介して出力データが出力される。すなわち、比較部8cの出力データが駆動パルスの印加時間(パルス幅)であり、比較部8cとゲート回路8eによるPWM変調により階調の印加時間が制御されるようになる。

【0027】一方、前記一画素のデータのうちLビットのデータも順次1水平ライン分が高電圧選択部8hに入力される。高電圧選択部8hは、この2ビットのデータ

に対応する階調電圧となる電圧値を各画像毎にROM 8 g のデータに基づいて選択し、高電圧バッファ部 8 f の各バッファアンプ 8 f (1, 2, 3, ……m) の駆動電圧となるように供給する。L ビットのデータは主に FED の表示特性 (発光特性) を補正するためのデータであって、M ビットの中の例えば下位 L ビットを割り当てる。そして、後で述べるようにこの L ビットのデータによって画像面の表示むらやガンマ特性などを補正するようにしている。

【0028】このようにして高電圧選択部 8 h により選択された階調電圧値と、比較部 8 b 及びゲート回路 8 e により得られた印加時間 (パルス幅) は高電圧バッファ 8 f の各バッファアンプを同時に制御し、例えば図 3

(f) (g) (h) に示すような波形で駆動パルスが形成される。(f) は例えば 11 番目のある画素をドライブする駆動パルスで電圧値が V1、パルス幅が W1 となっていることを示す。また (g) は例えば 23 番目のある画素をドライブする駆動パルスで電圧値が V2、パルス幅が W2 となっている。同様に (h) は例えば 3 F 番目の画像をドライブする駆動パルスの一波形例を示しており、電圧値が V3、パルス幅が W3 となっていることを示す。本発明の場合は上記したように、駆動パルスを PWM 変調と PAM 変調を併用して求めることで、水平ラインの各画素毎に電圧レベル V 及び印加時間 W が異なる駆動パルスで階調駆動することができるようになる。

【0029】図 4 は PWM 変調及び PAM 変調により得られる駆動パルスにより例えば 16 段階で階調駆動する場合の光量変化の一例を模式的に示す図であり、縦方向に電圧レベル、横方向に印加時間を示し、この電圧レベルと印加時間から得られる光量は  $S_{pv}$  で示されている。この図に示される階調段階数も図 9、図 11 で説明した場合と同様に 16 段階であるが、階調電圧値と印加時間を同時に制御できるため、PWM 変調、PAM 変調をそれぞれ行なっていた場合よりも、光量のダイナミックレンジが広がるようになる。また ROM 8 g にメモリされている電圧値選択データは任意に設定することもできるので、階調数の設定を換えることなく FEC の素子特性のばらつきなどを同時に補正することができるようになる。

【0030】特に、階調電圧値をモニタ画像のコントラスト特性を考慮して任意に設定することにより、例えば図 5 に示されている、曲線 A ( $\gamma = 1$ )、B ( $\gamma = 2$ )、C ( $\gamma = 0.5$ ) のような輝度変調特性 (ガンマ補正) を任意に設定することができるようになり、例えばテレビジョン受像機などのモニタ装置においても高品位な画像表示を行なうことができるようになる。

【0031】なお、上記実施例は ROM テーブルを使用して補正データに対応する電圧を出力しているが、L ビ

ットの画像データを電圧値に変換して直接パルス振幅変調を行うようにしてもよい。

#### 【0032】

【発明の効果】以上、説明したように本発明の電界放出素子の駆動回路は PWM 階調制御と PAM 階調制御を同時に行なうことにより、駆動パルスの電圧値と印加時間 (パルス幅) を制御することができるようになり、同じ階調数を表現する場合でも従来と比較して印加パルス幅と電圧値の分割ステップ数を削減することができるようになる。特に画像データの中の一部のデータによって駆動電圧を設定することができることから、例えば FEC 等の素子特性のばらつきがあるような場合でも、その FEC を使用した各ディスプレイ装置間のばらつきに対応して、ROM テーブルを形成することにより、表示装置の発光特性を均一化させることができるという効果がある。また、同様にして輝度変調特性 (ガンマ補正) も任意に設定することができるのでテレビジョン受像機等のモニタ装置としても高品位な画像表示を行なうことができるようになる。

#### 【図面の簡単な説明】

【図 1】本発明の実施例のディスプレイ装置の回路ブロックを示す図である。

【図 2】本実施例のディスプレイ装置における X 走査ドライバの回路ブロックを示す図である。

【図 3】X 走査ドライバにおける各種クロック及び出力データの波形を示す図である。

【図 4】本実施例の階調駆動による光量変化を模式的に示す図である。

【図 5】本実施例のにおいて設定できるガンマ補正の一例を示す図である。

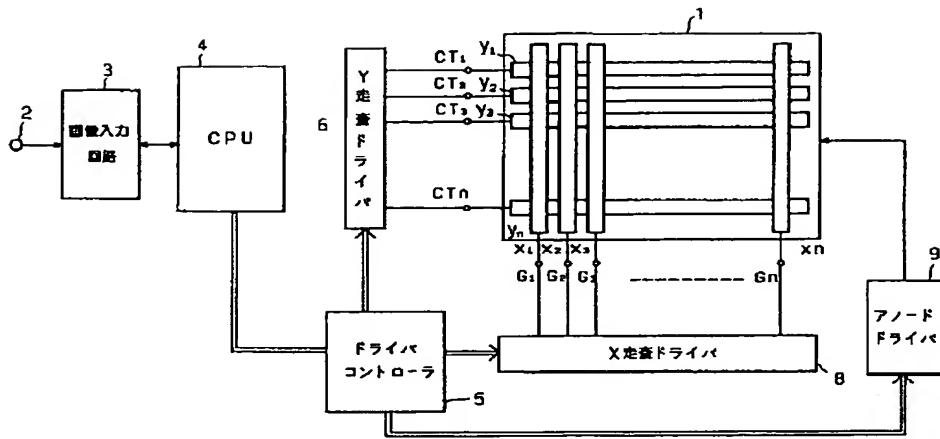
【図 6】スピント (Spindt) 型の電界放出カソードを示す斜視図及び断面図である。

【図 7】電界放出型ディスプレイの構成を示す図である。

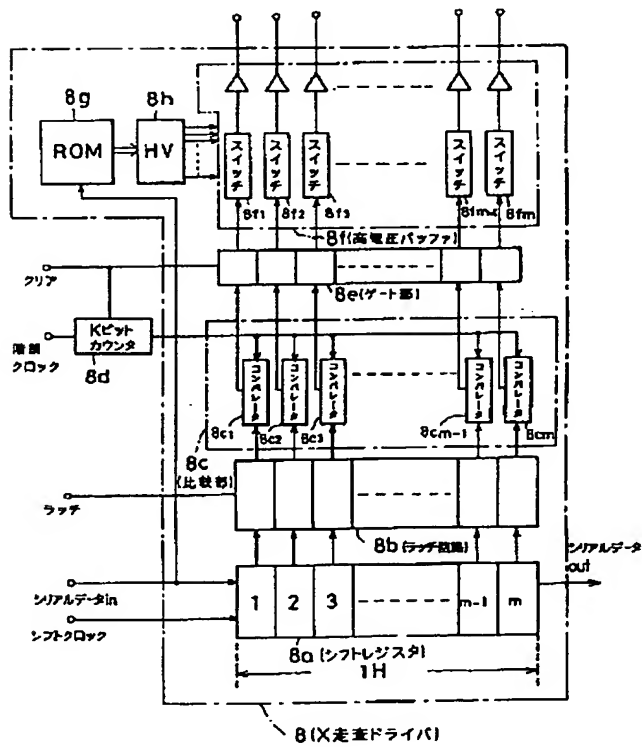
#### 【符号の説明】

- 1 タブレット
- 6 Y 走査ドライバ
- 8 X 走査ドライバ
- 8 a シフトレジスタ
- 8 b ラッチ回路
- 8 c 比較部
- 8 d K ビットカウンタ
- 8 e ゲート部
- 8 f 高電圧バッファ
- 8 g ROM
- 8 h 高電圧選択部
- 8 i 増幅部

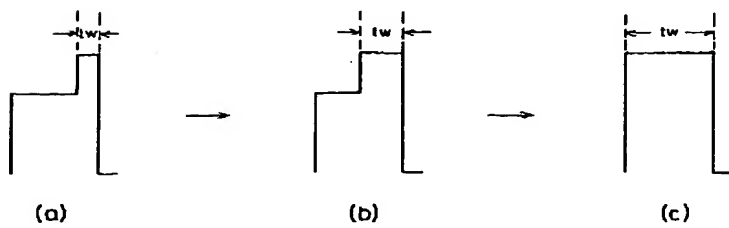
【図 1】



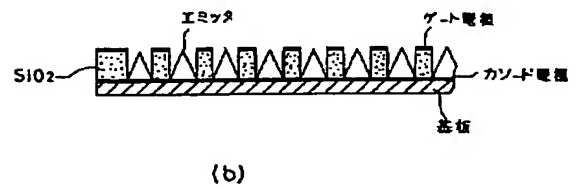
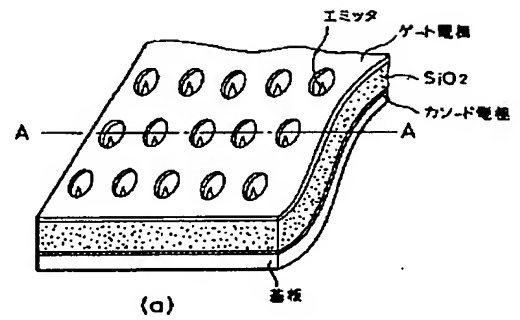
【図 2】



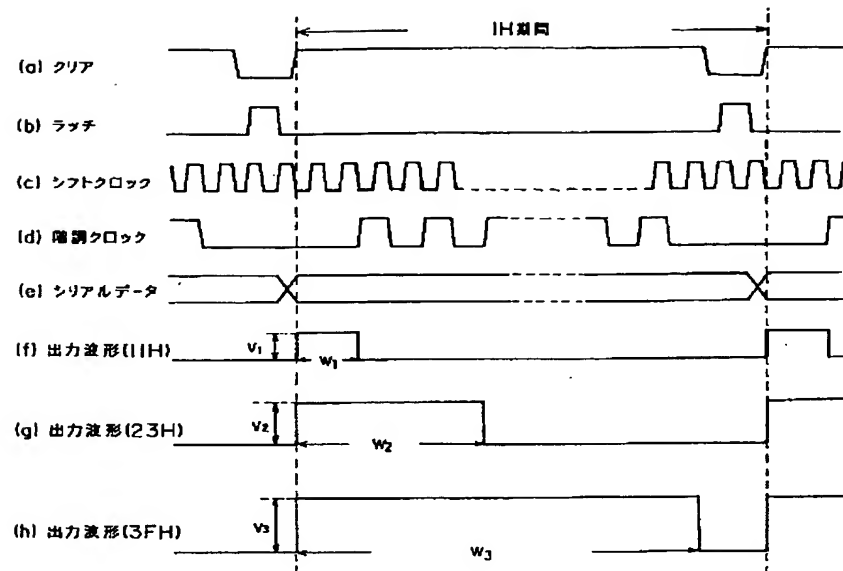
【図 8】



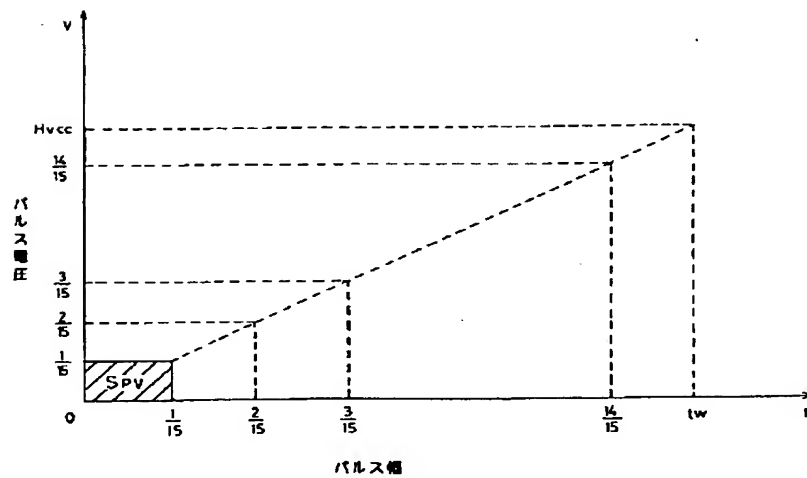
【図 6】



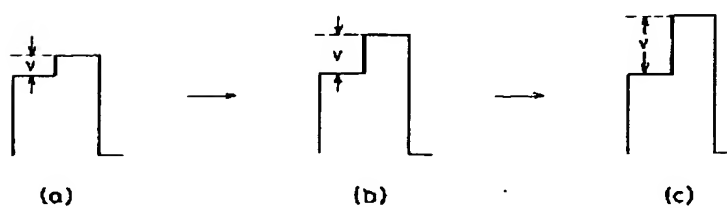
【図 3】



【図 4】

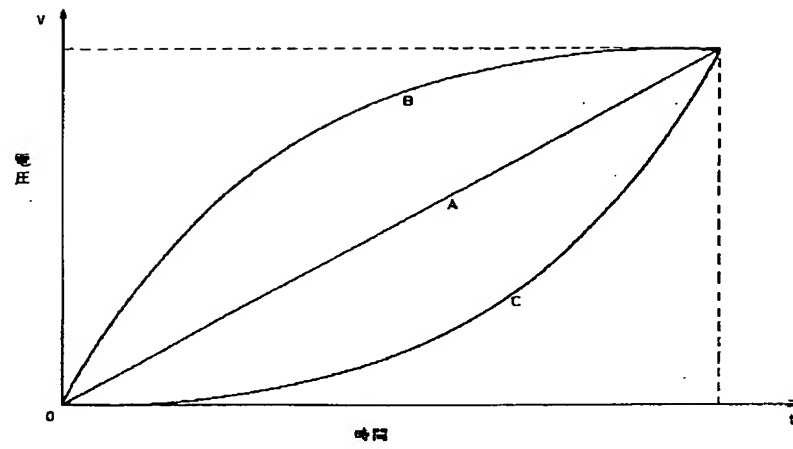


【図 10】

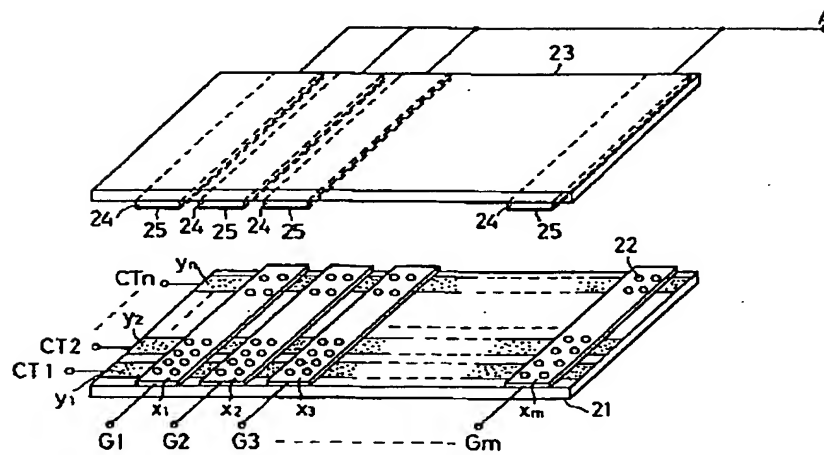




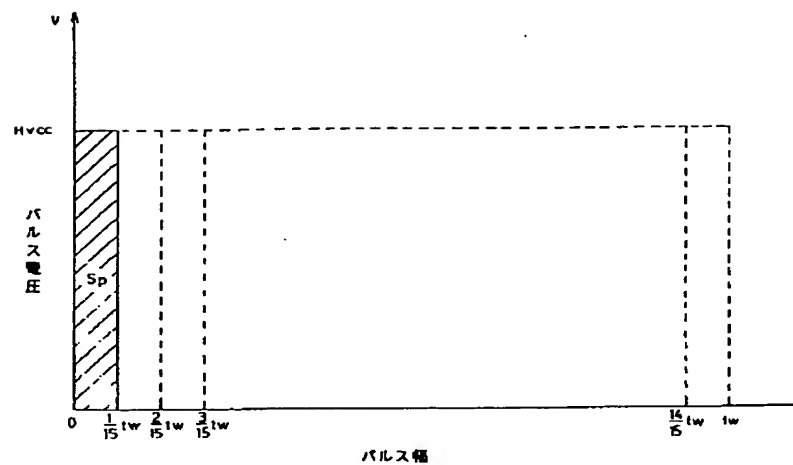
【図5】



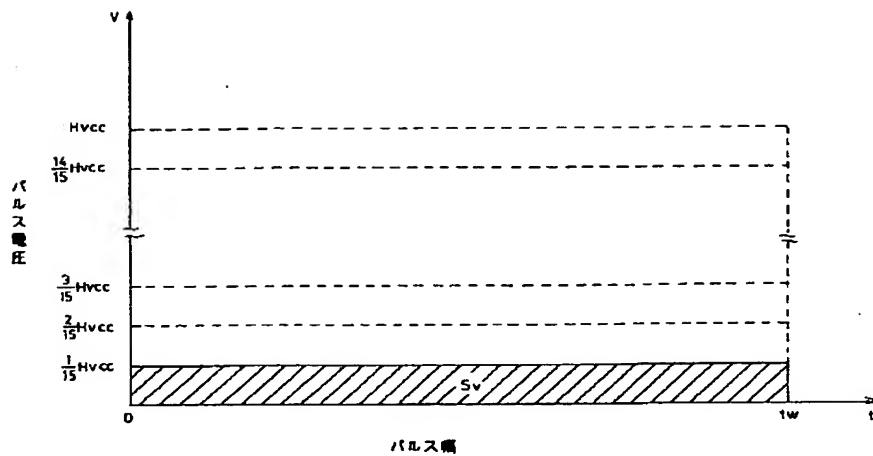
【図7】



【図9】



【図 11】



## 【手続補正書】

【提出日】平成 6 年 6 月 17 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明の実施例のディスプレイ装置の回路ブロックを示す図である。

【図 2】本実施例のディスプレイ装置における X 走査ドライバの回路ブロックを示す図である。

【図 3】X 走査ドライバにおける各種クロック及び出力データの波形を示す図である。

【図 4】本実施例の階調駆動による光量変化を模式的に示す図である。

【図 5】本実施例のにおいて設定できるガンマ補正の一例を示す図である。

【図 6】スピント (Spindt) 型の電界放出カソードを示す斜視図及び断面図である。

【図 7】電界放出型ディスプレイの構成を示す図である。

【図 8】階調制御を PWM 駆動方式で行う場合の駆動電圧のパルス幅を模式的に示す図である。

【図 9】図 8 に示した駆動電圧のパルス幅と光量の関係を示す図である。

【図 10】階調制御を PAM 駆動方式で行う場合の駆動電圧の電圧値を模式的に示す図である。

【図 11】図 10 に示した駆動電圧の電圧値と光量の関係を示す図である。

## 【符号の説明】

- 1 タブレット
- 6 Y 走査ドライバ
- 8 X 走査ドライバ
- 8 a シフトレジスタ
- 8 b ラッチ回路
- 8 c 比較部
- 8 d K ビットカウンタ
- 8 e ゲート部
- 8 f 高電圧バッファ
- 8 g ROM
- 8 h 高電圧選択部
- 8 i 増幅部